

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>6</sup>

(11) 공개번호 특2001-0017499

H01L 27/108

(43) 공개일자 2001년03월05일

(21) 출원번호

10-1999-0033049

(22) 출원일자

1999년08월12일

(71) 출원인

삼성전자 주식회사 윤종용

(72) 발명자

이수천

(74) 대리인

경기 수원시 팔달구 매탄3동 416  
김능균

심사청구 : 없음

## (54) 반도체 소자 제조방법

## 요약

게이트 전극과 게이트 전극 사이의 절연막 내에 보이드(void)가 발생하는 것을 막아 주어 소터 마진 부족으로 인해 야기되는 게이트 전극의 손상을 방지하고, 게이트 전극 간의 쇼트 및 폴리실리콘막 간의 쇼트를 방지할 수 있도록 한 반도체 소자 제조방법이 개시된다.

이를 구현하기 위하여 본 발명에서는, 반도체 기판 상에, 상단에 제 1 및 제 2 절연막이 구비되어 있는 게이트 전극을 형성하는 단계와; 상기 게이트 전극 양 에지측의 상기 기판 내에 LDD 정선을 형성하는 단계와; 상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극의 양 측벽에 절연 재질의 스페이서를 형성하는 단계와; 상기 스페이서 양 에지측의 상기 기판 내부에 상기 LDD 정선과 접하는 소스·드레인 정선을 형성하는 단계와; 상기 결과물 전면에 버퍼막을 형성하는 단계와; 상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극 사이 사이의 스페이스가 충분히 채워지도록 상기 버퍼막 상에 SOG나 FOX 재질의 제 3 절연막을 형성하는 단계와; 열처리 공정을 실시하여 상기 제 3 절연막을 경화시키는 단계와; 상기 버퍼막 표면이 노출될 때까지 상기 제 3 절연막을 에치백하는 단계; 및 상기 결과물 전면에 제 4 절연막을 형성하는 단계로 이루어진 반도체 소자 제조방법이 제공된다.

## 도표도

## 도 2a

## 명세서

## 도면의 간단한 설명

도 1a 및 도 1b는 종래의 MDL 제조방법을 도시한 공정수순도,

도 2a 내지 도 2c는 본 발명에 의한 MDL 제조방법을 도시한 공정수순도이다.

## 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로, 보다 상세하게는 디램(DRAM)과 로직(logic)이 머지(merge)된 MDL(Merged Memory and Logic) 제조시 야기되는 보이드 발생 문제를 해소하여 고신뢰성의 소자를 구현할 수 있도록 한 반도체 소자 제조방법에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라 디바이스의 고성능화를 요구하는 소비자의 다양한 욕구에 부응하기 위하여 시스템 온 칩(system on chip) 제품의 전 단계로서 메모리(메컨대, 디램)와 로직이 하나의 칩에 머지되는 형태의 복합 칩(메컨대, MDL)이 탄생하게 되었다.

상기 MDL은 개별적인 메모리 제품과 로직 제품을 하나의 칩 안에 구현하기 때문에 소형화, 저전력화, 고속화 및 낮은 EMI(electro magnetic interference) 노이즈 실현이 가능하다는 등의 장점을 지녀, 최근 많은 분야에서 이미 개발과 관련된 연구가 활발하게 진행되고 있다.

이와 같이 디램 제품과 로직 제품을 머지할 경우, 소자 제조 과정에서 다양한 문제점들이 제기되고 있는데, 특히 최근에는 디램의 디자인 룰이 서브 마이크론(sub-micron) 이하로 다운(down)됨에 따라 디램 자체에서 발생하는 문제점보다는 머지시 발생하는 문제점이 새로운 이슈(issue)로 부각되고 있다.

이것은, 256MDRAM과 같이 0.25 $\mu$ m 이하의 디자인 룰을 갖는 고집적화된 소자의 경우 DC(direct contact)와

BC(buried contact) 형성이 이루어질 게이트 전극 간의 스페이스(space)가  $0.3\mu\text{m}$  이하의 크기로 제한되므로, 후단 산화 막질 증착 공정이나 SAC(self align contact) 공정 진행시 증착 막질의 갭 필(gap fill) 능력이 떨어지게 될 뿐 아니라 식각 조건의 옵티마이징(optimize) 부족 및 설비 트러블(trouble)로 인해 공정 마진(또는 슬더 마진(shoulder margin)) 또한 충분히 확보하기 어렵기 때문에 발생하는 것으로, 현재 이를 개선하기 위한 연구가 활발하게 진행되고 있다.

도 1a 및 도 1b에는 이와 관련된 종래의 MDL 제조방법을 도시한 공정순도가 제시되어 있다. 이를 참조하여 그 제조방법을 제 2 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 1a에 도시된 바와 같이 반도체 기판(예컨대, 실리콘 기판)(10) 상에, 상단에 HTO(high temperature oxide) 재질의 제 1 절연막(14)과 플라즈마 질화막(혹은 플라즈마 산화질화막) 재질의 제 2 절연막(16)이 구비된 폴리실리콘 재질의 게이트 전극(12)을 형성한 후, 상기 기판 상으로 저농도 불순물을 이온주입하여 게이트 전극(12) 양 에지측의 기판(10) 내부에 LDD 정션(미 도시)을 형성하고, 상기 제 1 및 제 2 절연막(14), (16)을 포함한 게이트 전극(12)의 양 측벽에 절연 재질의 스페이서(18)를 형성한다. 그 결과, 게이트 전극(12)이 절연물에 의해 둘러싸여진 구조의 결과물이 만들어지게 된다. 이와 같이 게이트 전극(12) 상에 제 1 및 제 2 절연막(14), (16)을 더 형성한 것은 SAC 공정 진행시 공정 마진 미확보로 인해 야기될 수 있는 게이트 전극(12)의 손상을 막기 위함이다.

제 2 단계로서, 도 1b에 도시된 바와 같이 상기 결과를 상으로 고농도 불순물을 이온주입하여 스페이서(18) 양 에지측의 기판(10) 내부에 LDD 정션과 접하는 소스·드레인 정션(미 도시)을 형성하고, 상기 스페이서(18) 사이 사이의 공간이 충분히 채워지도록 상기 결과를 전면 HDP(high density plasma) 나  $\text{O}_2$ -TEOS 재질의 제 3 절연막(20)을 형성해 주므로써, 본 공정 진행을 완료한다.

그러나, 상기와 같이 MDL을 제조할 경우에는 소자 제조시 다음과 같은 몇가지의 문제가 발생하게 된다.

256MDRAM과 같이  $0.25\mu\text{m}$  이하의 디자인 룰을 가지도록 소자 제조가 이루어질 경우에는 상술된 바와 같이 게이트 전극(12) 간의 스페이스가 통상,  $0.3\mu\text{m}$  이하의 크기로 제한되므로, 이중 스페이서(18)가 차지하는 부분을 제외하면 스페이스의 실 사이즈는  $0.15\mu\text{m}$  이하로 확보된다고 보면 된다.

따라서, 이 상태에서 HDPL  $\text{O}_2$ -TEOS 재질의 제 3 절연막(20)을 증착하게 되면 상기 절연막을 이루는 막질의 단차피복성(conformality)의 한계로 인해 게이트 전극(12) 간의 스페이스에 해당되는 부분에서 절연막(20) 내에 보이드(v)가 생길 가능성이 높아지게 된다.

제 3 절연막(20) 내에 보이드(v)가 발생될 경우, ① DCA와 BC를 형성하기 위한 후속 공정 예컨대, SAC 공정 진행시 보이드(v)의 경계면을 따라서는 더 많은 량의 식각이 이루어지게 되므로 슬더 마진 부족으로 인해 게이트 전극(12)이 손상받는 현상이 야기되게 될 뿐 아니라 ② 제 3 절연막(30)의 평탄화 작업 이후에 실시되는 셀 폴리실리콘막 증착 공정 진행시 제 3 절연막(20)을 치고 들어가 보이드(v) 내로 스며든 폴리실리콘 성분이 폴리 스트링거(poly stringer)로 작용하게 되어 게이트 전극 간의 브리지(bridge)나 셀 폴리실리콘막 간의 브리지를 유발시키게 되므로, 이로 인해 게이트 전극 간의 쇼트(short) 및 셀 폴리실리콘막 간의 쇼트가 발생하는 문제가 발생하게 된다.

#### 본 발명이 이루고자 하는 기술적 과제

이에 본 발명의 목적은, MDL 제조시 HDPL나  $\text{O}_2$ -TEOS보다 갭 필 특성이 우수한 절연막(예컨대, SOG(silicon on glass)나 FOX(flowable oxide))을 이용하여 게이트 전극과 게이트 전극 사이의 스페이스를 채워주므로써, 보이드 발생을 막을 수 있도록 하여 슬더 마진 부족으로 인해 야기되는 게이트 전극의 손상을 방지하고, 게이트 전극 간의 쇼트 및 폴리실리콘막 간의 쇼트를 방지할 수 있도록 한 반도체 소자 제조방법을 제공함에 있다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는, 반도체 기판 상에, 상단에 제 1 및 제 2 절연막이 구비되어 있는 게이트 전극을 형성하는 단계와; 상기 게이트 전극 양 에지측의 상기 기판 내부에 LDD 정션을 형성하는 단계와; 상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극의 양 측벽에 절연 재질의 스페이서를 형성하는 단계와; 상기 스페이서 양 에지측의 상기 기판 내부에 상기 LDD 정션과 접하는 소스·드레인 정션을 형성하는 단계와; 상기 결과를 전면 버퍼막을 형성하는 단계와; 상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극 사이 사이의 스페이스가 충분히 채워지도록 상기 버퍼막 상에 SOG나 FOX 재질의 제 3 절연막을 형성하는 단계와; 열처리 공정을 실시하여 상기 제 3 절연막을 경화시키는 단계와; 상기 버퍼막 표면이 노출될 때까지 상기 제 3 절연막을 에치백하는 단계; 및 상기 결과를 전면 제 4 절연막을 형성하는 단계로 이루어진 반도체 소자 제조방법이 제공된다.

상기와 같이 공정을 진행할 경우, 게이트 전극과 게이트 전극 사이의 스페이스가 기존의 HDPL나  $\text{O}_2$ -TEOS보다 갭 필 특성이 우수한 SOG나 FOX 재질의 절연막에 의해 필링되므로, 디램의 디자인 룰이  $0.25\mu\text{m}$  이하로 고집적화된다라고 보이드 발생이 이루어지지 않게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 2a 내지 도 2c는 본 발명에 의한 MDL 제조방법을 도시한 공정순도를 나타낸 것으로, 이를 참조하여 그 제조방법을 제 3 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 2a에 도시된 바와 같이 반도체 기판(예컨대, 실리콘 기판)(100) 상에, 상단에 HTO 재질의 제 1 절연막(104)과 플라즈마 질화막(혹은 플라즈마 산화질화막) 재질의 제 2 절연막(106)이 구비된 폴리실리콘 재질의 게이트 전극(102)을 형성한 후, 상기 기판 상으로 저농도 불순물을 이온주입하여 게이트 전극(102) 양 에지측의 기판(100) 내부에 LDD 정션(미 도시)을 형성하고, 제 1 및 제 2 절연막(104), (106)을 포함한 게이트 전극(102)의 양 측벽에 절연 재질의 스페이서(108)를 형성한다. 그

결과, 게이트 전극(102)이 절연물에 의해 둘러싸여진 구조의 결과물이 만들어지게 된다. 이어, 상기 기판 상으로 고농도 불순물을 이온주입하여 스페이서(108) 양 에지측의 기판(100) 내부에 LDD 정선과 접하는 소스·드레인 정선(미 도시)을 형성하고, 게이트 전극과 이후 형성될 절연막 간의 직접적인 접촉을 피하기 위하여 상기 결과물 전면에 플라즈마 산화막 재료의 버퍼막(110)을 형성한다. 이 경우, 상기 버퍼막(110)은 1000Å 이하의 두께로 형성하는 것이 바람직하다.

제 2 단계로서, 도 2b에 도시된 바와 같이 상기 스페이서(110) 사이 사이의 공간이 충분히 채워지도록 상기 결과물 전면에서 SOG나 FOX 재료의 제 3 절연막(112)을 형성한다. 이때, 상기 SOG로는 카본(carbon)기가 함유되지 않은 실리케이트(silicate) 계통의 무기 SOG가 사용되며, 후속 열처리 과정에서 크랙(crack)이 발생하는 것을 막기 위하여 1000Å 이하의 두께로 가져가는 것이 바람직하다. 이어, 소자의 정선(junction)이 문제되지 않는 온도 범위(예컨대, 700 ~ 800°C) 내에서 열처리를 실시하여 제 3 절연막(112)을 경화처리한 다음, 게이트 전극(102) 상층부의 버퍼막(110)이 노출될 때까지 미를 건식식각법이나 습식식각법으로 에치백(etch back)하여 제 1 및 제 2 절연막(104), (106)을 포함한 게이트 전극(102) 사이 사이의 스페이스 상에만 선택적으로 평탄화된 제 3 절연막(112)을 잔존시킨다. 이때, 상기 열처리는 디퓨전 퍼니스(diffusion furnace) 내에서 실시할 수도 있고, RTA(rapid thermal anneal) 방식으로 실시할 수도 있다. 그리고, 에치백 공정은 건식이나 습식식각법외에 PR(photoresist) 에치백 공정을 적용하여 실시할 수도 있다.

제 3 단계로서, 도 2c에 도시된 바와 같이 상기 결과물 전면에서 HDPL나 O<sub>2</sub>-TEOS 재료의 제 4 절연막(114)을 형성해 주므로써, 본 공정 진행을 완료한다.

이와 같이 공정을 진행할 경우, 제 1 및 제 2 절연막(104), (106)을 포함한 게이트 전극(102) 사이 사이의 스페이스가 기존의 HDPL나 O<sub>2</sub>-TEOS보다 겔 필 특성이 우수한 SOG나 FOX 재료의 제 3 절연막(112)에 의해 채워지게 되므로, 디램의 디자인 룰이 0.25 $\mu$ m 이하로 고집적화되었다고 보이드가 발생하지 않게 된다.

그 결과, SAC 공정 진행시 야기되던 슬더 마진 부족으로 인한 게이트 전극의 손상을 막을 수 있게 될 뿐 아니라 게이트 전극 간의 브리지나 셀 폴리실리콘막 간의 브리지로 인해 야기되던 게이트 전극 간의 쇼트 및 셀 폴리실리콘막 간의 쇼트 발생을 막을 수 있게 되므로, MDL 소자의 신뢰성을 개선할 수 있게 된다.

#### 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, MDL 제조시 HDPL나 O<sub>2</sub>-TEOS보다 겔 필 특성이 우수한 SOG나 FOX 재료의 절연막을 이용하여 게이트 전극과 게이트 전극 사이의 스페이스를 채워주므로써, 보이드 발생을 막을 수 있게 되므로 1) 슬더 마진 부족으로 인해 야기되는 게이트 전극의 손상을 방지할 수 있게 되고, 2) 게이트 전극 간의 쇼트 및 폴리실리콘막 간의 쇼트를 방지할 수 있어 고신뢰성의 소자 구현이 가능하게 된다.

#### (5) 청구의 범위

**청구항 1.** 반도체 기판 상에, 상단에 제 1 및 제 2 절연막이 구비되어 있는 게이트 전극을 형성하는 단계와;

상기 게이트 전극 양 에지측의 상기 기판 내에 LDD 정선을 형성하는 단계와;

상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극의 양 측벽에 절연 재료의 스페이서를 형성하는 단계와;

상기 스페이서 양 에지측의 상기 기판 내부에 상기 LDD 정선과 접하는 소스·드레인 정선을 형성하는 단계와;

상기 결과물 전면에서 버퍼막을 형성하는 단계와;

상기 제 1 및 제 2 절연막을 포함한 상기 게이트 전극 사이 사이의 스페이스가 충분히 채워지도록 상기 버퍼막 상에 SOG나 FOX 재료의 제 3 절연막을 형성하는 단계와;

열처리 공정을 실시하여 상기 제 3 절연막을 경화시키는 단계와;

상기 버퍼막 표면이 노출될 때까지 상기 제 3 절연막을 에치백하는 단계; 및

상기 결과물 전면에서 제 4 절연막을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 2.** 제 1항에 있어서, 상기 버퍼막은 1000Å 두께 이하의 플라즈마 산화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 3.** 제 1항에 있어서, 상기 SOG는 무기 SOG인 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 4.** 제 3항에 있어서, 상기 SOG는 1000Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 5.** 제 1항에 있어서, 상기 제 3 절연막은 700 ~ 800°C와 온도 범위 내에서 열처리하는 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 6.** 제 1항에 있어서, 상기 제 3 절연막의 에치백은 건식식각법을 적용한 에치백, 습식식각법을 적용한 에치백 및 PR 에치백 중 선택된 어느 한 방법으로 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 도면

图 1a

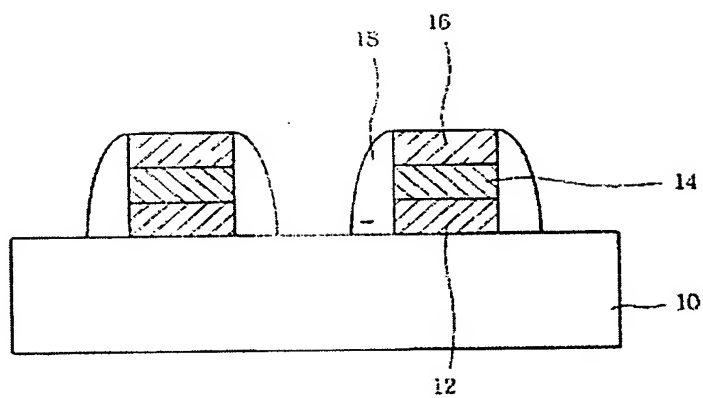
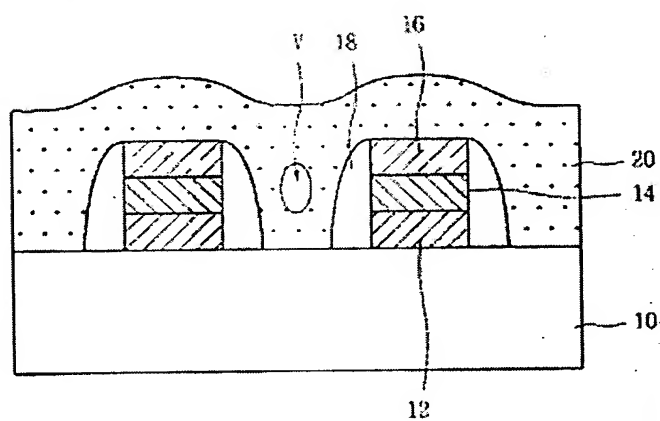
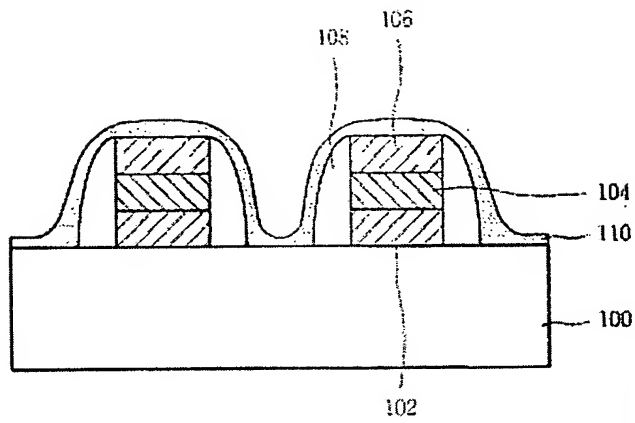


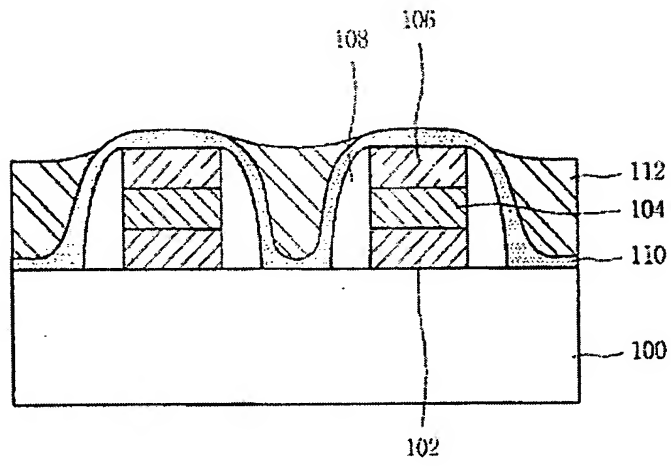
图 1b



5B2



5B3



도 2b

